

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 000003359 A
(43)Date of publication of application: 15.01.2000

(21)Application number: 980024589
(22)Date of filing: 27.06.1998

(71)Applicant: HYUNDAI ELECTRONICS
IND. CO., LTD.
(72)Inventor: I.H., SANG IYEOP

(51)Int. Cl. H01L 21/28

(54) METAL WIRE FORMING METHOD FOR SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A metal wire forming method is provided to produce a metal wire preventing the loss of Si according to the reaction of a silicon substrate to an adhesion layer.

CONSTITUTION: A metal wire is formed by the steps of: evaporating an interlayer insulating film(3) onto a silicon substrate(1) and forming a bit line contact hole to expose a contact layer(2) by etching the interlayer insulating film; evaporating polycrystalline silicon film(4) onto the exposed contact layer; and evaporating Ti film(5) onto the whole structure, Ti film(6) thereunto and tungsten film(7) thereunto.

COPYRIGHT 2000 KIPO

Legal Status

1. Application for a patent (19980627)

Processing

특 2000-0003359

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶	(11) 공개번호	특 2000-0003359
H01L 21/20	(43) 공개일자	2000년 01월 15일
(21) 출원번호	10-1996-0024563	
(22) 출원일자	1996년 06월 29일	
(71) 출원인	현대전자산업 주식회사 김성환	
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 이상형	
(74) 대리인	경기도 성남시 분당구 마곡동 156 목련마을 연남대파트 503-1304 박해춘, 원석철	

청구범위 21항

(54) 반도체 장치의 금속배선 형성방법

요약

본 발명은 반도체 기술분야에 관한 것으로, 특히 반도체 장치 제조공정 중 비드라인 등의 금속배선 형성 방법에 관한 것이며, 실리콘 기판(집합층)과 산화층(또는 절연층)의 반응에 의한 Si 손실을 방지하는 반도체 장치의 금속배선 형성방법을 제공하는데 그 목적이 있다. 본 발명은 집합층(실리콘 기판)과 산화층의 반응을 최대한 억제하기 위하여 집합층과 산화층 사이에 실리콘층을 삽입하는 것이다. 즉, 실리콘층을 전착층에 의해 제공하는 희생막으로 사용하여 집합층에서의 Si 손실을 최소화한다. 여기서, 집합층의 두께는 이후 산식층과 반응하여 모두 실리콘사이드막으로 변환할 수 있도록 일체 형성한다. 이는 집합층의 단결정실리콘과 실리콘사이드막을 금속시키는 것이 집속저항 측면에서 유리하고, N⁺ 및 P⁺ 집합층에서도 도막(die) 문제가 가능하기 때문이다.

도면

도 1b

도 2a

도 2b의 개략도

도 1a 내지 도 1d는 본 발명의 일 실시예에 따른 금속 비드라인 형성 공정도.

· 도면의 주요 부분에 대한 부호의 설명

- | | |
|------------|-----------------|
| 1 : 실리콘 기판 | 2 : 산화층 |
| 3 : 산화층연막 | 4 : 니켈몰리브덴막 |
| 5 : Ti막 | 6 : TiN막 |
| 7 : 텅스텐막 | 8 : 비드라인실리콘사이드막 |

본 발의 상세한 설명

본 발의 목적

본 발에 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기술분야에 관한 것으로, 특히 반도체 장치 제조공정 중 비드라인 등의 금속배선 형성 방법에 관한 것이다.

일반적으로, 반도체 장치에서 금속배선을 형성하는데 있어서, 녹는점이 높고 비저항이 낮은 텅스텐(W)을 많이 사용하고 있다. 텅스텐은 10~20 μcm 의 매우 낮은 비저항을 가지며, 모서리 도포성이 우수한 장점이 있다. 따라서, 반도체 장치의 신호전달 속도를 향상시키고, 비드라인 등의 금속배선의 길이를 짧게 가질 수 있게 되어 반도체 장치 설계상의 마진을 개선하고 칩 크기를 줄일 수 있는 장점이 있다.

텅스텐을 금속배선에 적용하기 위해서는 집합층으로서 TiN막을 필요로 하며, 집합층과의 접촉저항을 낮추기 위하여 Ti막을 사용하는 것에 동상막(D.L. 즉, 간격을 형성층, Ti/TiN에 적층 구조의 금속배선을 형성하는 것이다.

그러나, 이러한 종래의 Ti/TiN에 적층 구조의 금속배선에서 Ti가 산화층의 단결정실리콘과 결합해 되며 후속 고온 열공정시 디타늄실리콘사이드(TiSi₂)로 변환되는데, 디타늄실리콘사이드는 950°C 이상의 온도에서